



① 日本国特許庁

公開特許公報

特 許 願 (1)

昭和 48 年 12 月 12 日

特許庁長官殿

1. 発明の名称 インフォメーション・システム・ハンドオリ・アドレス部

2. 発明者

住 所 モリヤナシヤイハンホンドリ・テコフノ・バンチ
守口市京阪本通2丁目18番地

サンパツ・アソシエーツ
三洋電機株式会社内

氏 名 ミナモト・キヨシ
鈴 木 清 司

3. 特許出願人

住 所 守口市京阪本通2丁目18番地

名 称 (188) 三洋電機株式会社

代表者 井 植

連絡先：電話（東京）836-1111 特許電話在 安野

4. 添付書類の目録

- | | |
|-------------|-----|
| (1) 明 細 書 | 1 通 |
| (2) 図 面 | 1 通 |
| (3) 願 書 副 本 | 1 通 |

明 細 書

1. 発明の名称 情報処理装置

2. 特許請求の範囲

実行アドレス部が必要なメモリ参照命令を用いて命令を実行する情報処理装置に於て、単位ワードが実行命令部と実行アドレス部とから構成されたワードを記憶しているメモリと、該メモリをアクセスする番地が導入されるメモリアドレスレジスタと、上記メモリから読み出され来るワードを一時的に貯えるメモリバッファレジスタと、該メモリバッファレジスタに貯えられたワードのうちの実効アドレス部の計算を行う為の実効アドレス制御部と、上記ワードのうちの実行命令部を実行せしめる為の実行制御部とから成り、上記メモリに記憶されるワードの形式としては、その実効アドレス部は次のワードの実行命令部のアドレスに該当する構成が採られていて、上記メモリバッファレジスタに読み出されたワードの実効アドレス部の実効アドレス制御部での計算は次のワードの実行命令部のアドレスを作成する為のものであつ

①特開昭 50-92058

④公開日 昭50.(1975) 7.23

②特願昭 48-141003

②出願日 昭48.(1973) 12.12

審査請求 未請求 (全3頁)

庁内整理番号

6341 56

5825 56

⑤日本分類

97MF112

97MC0

⑤Int. Cl²

G06F 9/20

G06F 13/00

て、実行制御部での命令実行に先立つて予め実効アドレス部の計算を完了せしめておく事特徴とした情報処理装置。

3. 発明の詳細な説明

本発明は電子計算機等の情報処理装置に関する。各種の情報処理装置に於ける命令形式には実効アドレス部が必要なメモリ参照命令と、実効アドレス部を必要としない非メモリ参照命令とに分類される。本発明はこれ等の命令形式のうちメモリ参照命令を用いて命令を実行する情報処理装置を提供するものである。

一般にメモリ参照命令のワードフォーマットは第1図に示す如く、+、-、×、÷等を示すコードを有する実行命令部(OP)と、実効アドレスに該当する実行アドレス部(EA)とから成っており、従つてこのようなワードフォーマットで書かれたプログラムは第2図に示す如く描かれる。

斯るフォーマットで描かれた命令実行の時間関係は、最初に実効アドレス部(EA)を計算して実効アドレスを求め、然る後計算に依つて求められ

た実効アドレスに依つて実行命令部(OP)の内容を実行する。従つて実効アドレス部(EA)の計算と実行命令部(OP)の実行とは同時に進行出来ず、その結果命令実行に要する時間は永くなる。

本発明は斯る点に鑑みて構されたものであつて、以下に詳述する。

本発明の基本的考え方はメモリ参照命令に於けるワードフォーマットを図3図に示す如く構成する点にある。即ち n 番目のワードの実行命令部は n 番目のワードの実行命令部(OP _{n})であるが、実効アドレス部は次のワード、即ち $n+1$ 番目のワードの実効アドレス部(EA _{$n+1$})であり、また $n+1$ 番目のワードの実行命令部は $n+1$ 番目のワードの実行命令部(OP _{$n+1$})であるが、 $n+1$ 番目のワードの実効アドレス部は(EA _{$n+2$})であるような構成である。

次に斯るワードフォーマットを遂行する場合について記述する。第4図はその構成を示すブロック図であつて、(M)は上述の如きフォーマットのワードを記憶するメモリ、(MA)は該メモリをアク

セスする番地が導入されるメモリアドレスレジスタ、(MB)は上記メモリ(M)から読み出されて来るワードを一時的に貯えるメモリバッファレジスタ、(EAC)は該メモリバッファレジスタ(MB)に貯えられたワードのうちの実効アドレス部(EA)の計算を行う爲の実効アドレス制御部、(OPC)は上記ワードのうちの実行命令部(OP)を実行せしめる爲の実行制御部、(IR)はインストラクションレジスタ、(CTL)は該インストラクションレジスタ(IR)の内容に依つて具体的に上記両制御部(EAC)、(OPC)を動作させる信号を発生する制御信号線である。また上記実効アドレス制御部(EAC)は、メモリバッファレジスタ(MB)に貯えられたワードのうちの実効アドレス部(EA)のみが読み出されるレジスタ(RE)と、該レジスタ(RE)と実効アドレスバス(EAB)とからの信号を演算する演算回路(AC)と、該演算回路(AC)からの演算結果が導入される実効アドレスレジスタ(EAR)と、プログラムカウンタ(PC)、インデックスレジスタ(ID)とから成つてゐる。このブ

ログラムカウンタ(PC)は命令形式が相対アドレス方式の際に用いられるもの、またインデックスレジスタ(ID)はインデックスレジスタ方式の際に用いられるものである。上記実効アドレスレジスタ(EAR)並びにプログラムカウンタ(PC)はメモリアドレスバス(MAB)を介して上記メモリアドレスレジスタ(MA)に連つてゐる。また上記実行制御部(OPC)はメモリバッファレジスタ(MB)に貯えられたワードのうちの実行命令部(OP)のみが読み出される演算回路(ALU)と複数個の演算回路(AC₁)(AC₂)...から構成され、論理演算回路(ALU)は実行バス(OPB)を介して入力バス(IB)に連つてゐる。

而して第3図に示す $n-1$ 番目のワードの場合、その実行命令部(OP _{$n-1$})については説明の都合上無視して考えると、その実効アドレス部(EA _{n})がメモリバッファレジスタ(MB)から実効アドレス制御部(EAC)のレジスタ(RE)に読み出され、その内容とプログラムカウンタ(PC)、或いはインデックスレジスタ(ID)の内容とが演算回路(

AC)で演算され、その結果が実効アドレスレジスタ(EAR)に貯えられる。この演算結果はメモリアドレスバス(MAB)を介してメモリアドレスレジスタ(MA)に転送される。

次の n 番目のワードで実効アドレス制御部(EAC)で計算されたアドレスに基いてメモリ(M)がアクセスされ、そのアクセスされたワードがメモリバッファレジスタ(MB)に読み出され、計算された実効アドレスでもつて n 番目の実行命令部(OP _{n})が実行制御部(OPC)で実行される。これと同時に実効アドレス制御部(EAC)で n 番目のワードの実効アドレス部(EA _{$n+1$})が $n-1$ 番目の場合と同様に計算されその結果が実効アドレスレジスタ(EAR)に貯えられる。

以下同様 $n+1$ 番目のワードでは n 番目のワードで計算された実効アドレスでもつて $n+1$ 番目の実行命令を実行すると同時に $n+2$ 番目の実効アドレスを計算する。

更に本発明方式の補足的な説明を加えると、例えば、 n 番目のワードでの命令が例えば「アキユ

